

## ⑫公開特許公報(A)

平1-292416

⑤Int.Cl.

G 06 F 1/04

識別記号

府内整理番号

7459-5B

⑬公開 平成1年(1989)11月24日

審査請求 未請求 請求項の数 1 (全4頁)

④発明の名称 プロセッサの消費電力低減方式

②特 願 昭63-122440

②出 願 昭63(1988)5月19日

⑦発明者 小川 典昭 東京都日野市富士町1番地 富士ファコム制御株式会社内

⑦出願人 富士ファコム制御株式 東京都日野市富士町1番地  
会社

⑧代理人 弁理士 岡田 守弘

## 明細書

## (概要)

プロセッサの消費電力を低減する消費電力低減方式に関し、

基準発振信号の周波数を切り替え得る基準発振源を設け、プロセッサの必要処理速度に対応してこの基準発振信号の周波数を動的に切り替え、消費電力を必要最小限にすることを目的とし、

プロセッサに入力される外部事象の頻度あるいはプロセッサ(I)の遊び時間の割合などに基づいて処理量を判断する処理量判断部(I-1)と、  
この処理量判断部(I-1)によって判断された結果に基づいて、周波数を所定段数上げあるいは所定段数下げた基準発振信号を発生する基準発振源(II)とを備え、  
この発生された基準発振信号を用いて上記プロセッサ(I)を駆動するように構成したことを特徴とするプロセッサの消費電力低減方式。

## (産業上の利用分野)

本発明は、プロセッサの消費電力を低減する消費電力低減方式に関するものである。

## 3. 発明の詳細な説明

## (従来の技術)

一般に、C-MOS 素子を使用したマイクロプロセッサは、基準発振源の周波数が高いと、C-MOS 素子の性質上、消費電力が大きくなる。このため、電池を電源とする機器においては、マイクロプロセッサの消費電力を低減させるために、動作しなくてもよい時に、基準発振源を停止させる手法がある。しかし、この基準発振源を停止させる手法を採用した場合、再起動させるための例えば割り込みのための回路が必要となると共に、再起動されるまでに時間がかかるという問題がある。更に、マイクロプロセッサを動作させる周波数は、最大の仕事量に見合う周波数に固定的に設定していたため、少しの仕事量に対しても固定的な周波数で動作され、余分な電力を消費してしまうという問題があった。

本発明は、基準発振信号の周波数を切り替え得る基準発振源を設け、プロセッサの必要処理速度に対応してこの基準発振信号の周波数を動的に切り替え、消費電力を必要最小限にすることを目的

としている。

## (課題を解決する手段)

第1図を参照して課題を解決する手段を説明する。

第1図において、プロセッサ1は、処理量判断部1-1などから構成され、外部事象に対応した処理などを行うものである。

処理量判断部1-1は、外部事象の頻度あるいはプロセッサ1の遊び時間の割合などに基づいて処理量を判断するものである。

基準発振源2は、周波数切替信号に対応して周波数を切り替えた基準発振信号をプロセッサ1に供給するものである。

## (作用)

本発明は、第1図に示すように、処理量判断部1-1がプロセッサ1に入力される外部事象の頻度あるいはプロセッサ1の遊び時間の割合などに基づいて処理量を判断してこの処理量に対応する

周波数切替信号を基準発振源2に通知すると、基準発振源2はこの通知を受けた周波数切替信号に対応する周波数の基準発振信号を発生してプロセッサ1に供給するようになっている。

従って、プロセッサ1は、処理量に応じた必要最小限の低い周波数の基準発振信号によって駆動され、C-MOS 素子などで作成した当該プロセッサ1が消費する電力を必要最小限にすることが可能となる。

## (実施例)

次に、第1図および第2図を用いて本発明の1実施例の構成および動作を順次詳細に説明する。

第1図において、プロセッサ1は、C-MOS 素子などを用いて作成したマイクロプロセッサなどであって、プログラムを格納するROM(読み出し専用メモリ)、データなどを格納するRAM(読み書き可能なメモリ)などから構成されている。このC-MOS 素子を用いてプロセッサ1を作成すると、C-MOS 素子の性質上、駆動クロ

ック周波数に依存して消費電力が増減する。従って、電池を用いて駆動する携帯用の機器にプロセッサ(マイクロプロセッサ)1を用いる場合には、本実施例によって処理量に見合った必要最小限のクロック周波数で動的に駆動するようになる。

基準発振源2は、プロセッサ1からの周波数切替信号に対応した周波数の基準発振信号を切り替える機能で生成するものである。

次に、第2図フローチャートを用いて第1図構成の動作を詳細に説明する。

第2図において、①は、通常動作を行う状態を示す。

②は、CPUの処理能力に、高速性が必要か否かを判別する。これは、現在、基準発振源2からプロセッサ1に供給されている基準発振信号に基づいて、プロセッサ1が処理を行い、処理能力に不足が生じ、高速にする必要があるか否かを判別することを意味している。この高速性の必要性は、プロセッサ1に入力される外部事象の単位時間当たりの回数、あるいはプロセッサ1の遊び時間の割

合などに基づいて判断するようにしている。YESの場合には、⑤を行う。NOの場合には、①を行う。

⑤は、②で高速性が必要と判断されたので、現在の処理量の判断を行う。これは、既述したように、プロセッサ1の処理量（外部事象の発生頻度あるいはプロセッサ1の遊び時間の割合などから算出した処理量）をレベル1、レベル2、……レベルnのいずれかに段階づけ、このレベルに対応して周波数を1段、2段、……、n段上げるような周波数切替信号を基準発振源2に通知する。これに対応して所定段数周波数の上げられた基準発振信号を基準発振源2が生成してプロセッサ1に供給する。これにより、プロセッサ1の処理量の増大に対応して、動的に基準発振信号の周波数が高められる。

⑥は、②で高速性が必要でないと判断されたので、現在の処理量の判断を行う。これは、既述したように、プロセッサ1の処理量をレベル1、レベル2、……レベルnのいずれかに段階づけ、

このレベルに対応して周波数を1段、2段、……、n段下げるような周波数切替信号を基準発振源2に通知する。これに対応して所定段数周波数の下げられた基準発振信号を基準発振源2が生成してプロセッサ1に供給する。これにより、プロセッサ1の処理量の減少に対応して、動的に基準発振信号の周波数が低められる。

#### 【発明の効果】

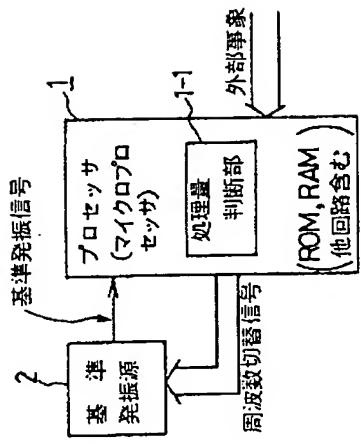
以上説明したように、本発明によれば、基準発振信号を切り替え得る基準発振源2を設け、プロセッサ1の処理量に対応して当該基準発振源2によって発振される基準発振信号の周波数を増減する構成を採用しているため、プロセッサ1は、処理量に応じた必要最小限の低い周波数の基準発振信号によって駆動され、CMOS素子などで作成した当該プロセッサ1が消費する電力を必要最小限にすることができる。

#### 4. 図面の簡単な説明

第1図は本発明の1実施例構成図、第2図は本発明の動作説明図を示す。

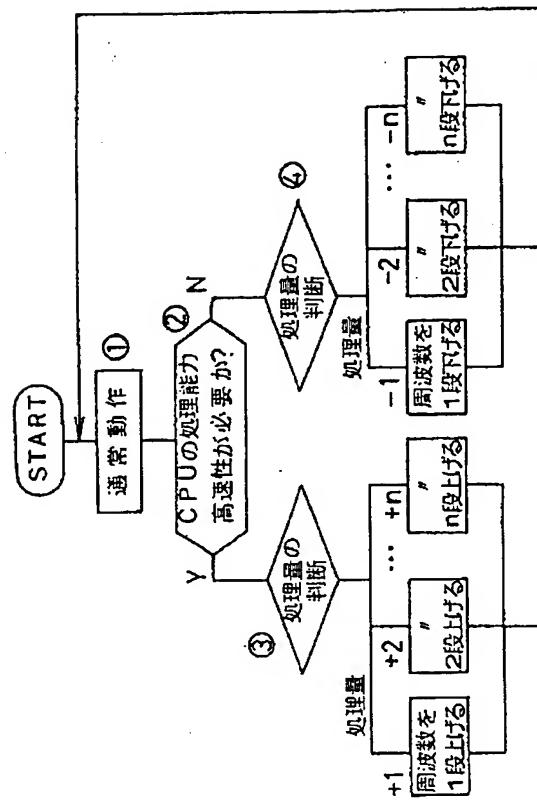
図中、1はプロセッサ、1-1は処理量判断部、2は基準発振源を表す。

特許出願人　富士ファコム制御株式会社  
代理人弁理士　岡田　守弘



本発明の実施例構成図

第 1 図



本発明の動作説明図

第 2 図